



Elektronika a Mikroelektronika A4B34EM

9. přednáška

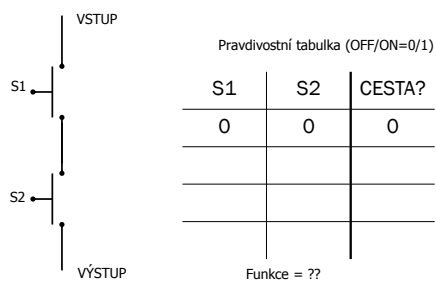
- Logická hradla CMOS
- Kombinační obvody



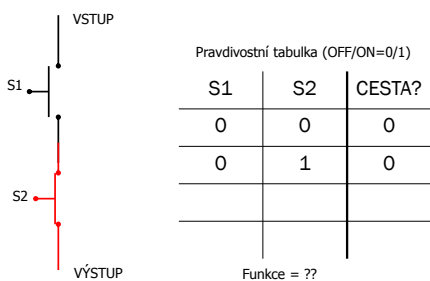
Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



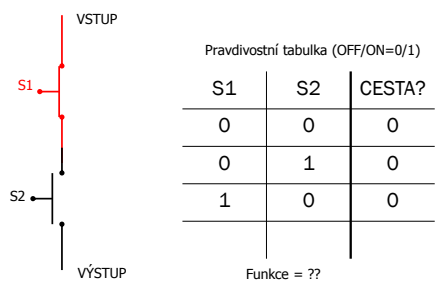
Spínače v sérii



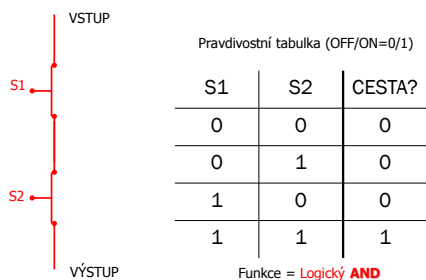
Spínače v sérii



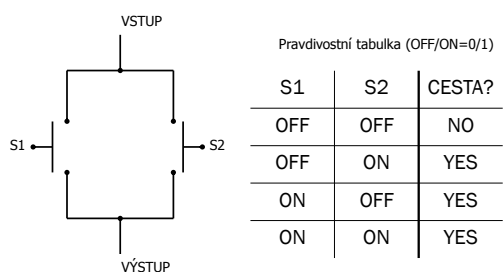
Spínače v sérii



Spínače v sérii

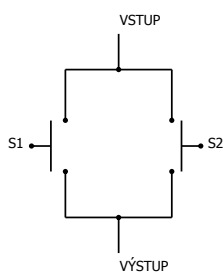


Spínače paralelně





Spínače paralelně



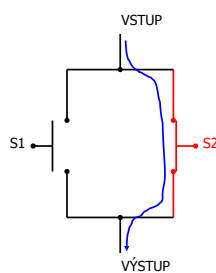
Pravdivostní tabulka

S1	S2	CESTA?
0	0	0

Funkce = ??



Spínače paralelně



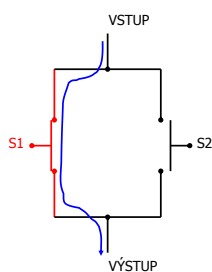
Pravdivostní tabulka

S1	S2	CESTA?
0	0	0
0	1	1

Funkce = ??



Spínače paralelně



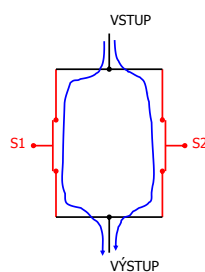
Pravdivostní tabulka

S1	S2	CESTA?
0	0	0
0	1	1
1	0	1

Funkce = ??



Spínače paralelně



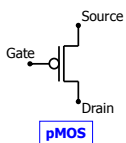
Pravdivostní tabulka

S1	S2	CESTA?
0	0	0
0	1	1
1	0	1
1	1	1

Funkce = Logický OR



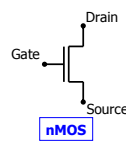
CMOS Tranzistory



pMOS

Komplementární MOS

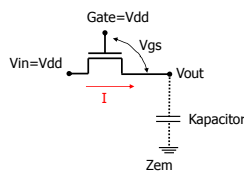
- P-kanál (pMOS)
- N-kanál (nMOS)



nMOS



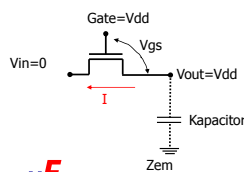
NMOS jako spínač



- Předpokládejme, že kapacita (C_L) je vybitá

- Gate=1, Vin=1

- Kapacitor C_L se nabíjí na logickou 1 (V_{dd}) na úroveň ($V_{dd}-V_t$)
- Signál je degradován



- Gate=1, Vin=0
 - Kapacitor C_L se vybíjí na logickou 0

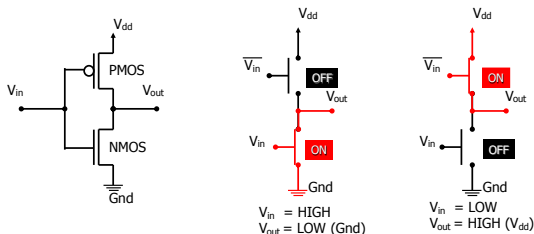




CMOS Invertor

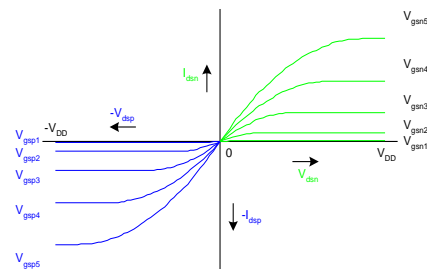
■ Schema zapojení CMOS invertoru

- Gate NMOS a PMOS je vstup
- Drain NMOS a PMOS je výstup



Výstupní charakteristiky

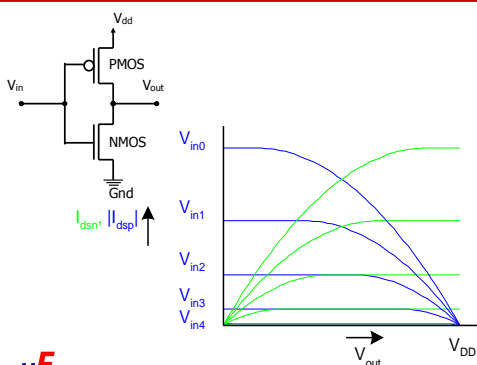
- pMOS je cca 2x širší než nMOS, potom $\beta_n = \beta_p$



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Proud versus Vout, Vin



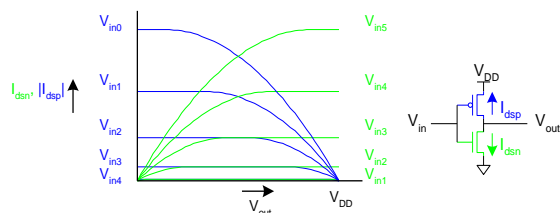
Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Steady-state (DC) analysis

■ Pro dané Vin:

- Nakreslíme I_{dsn} I_{dsp} vs. V_{out}
- V_{out} se nachází tam, kde se proudy I_{dsn} I_{dsp} rovnají

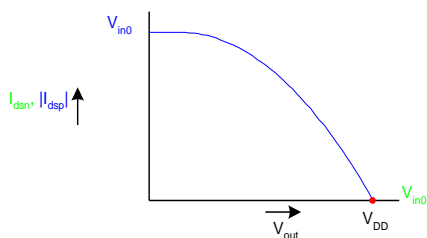


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Steady-state (DC) analysis

- $V_{in} = 0$

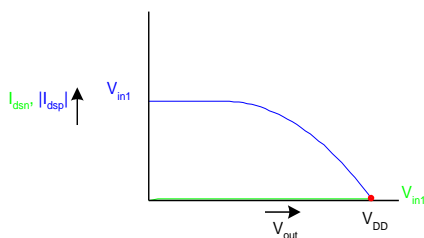


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Steady-state (DC) analysis

- $V_{in} = 0.2V_{DD}$

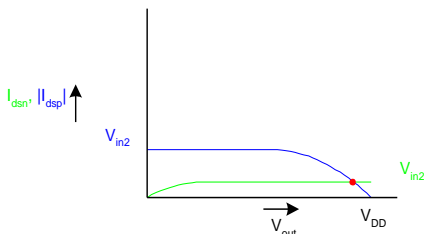


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Steady-state (DC) analysis

■ $V_{in} = 0.4V_{DD}$

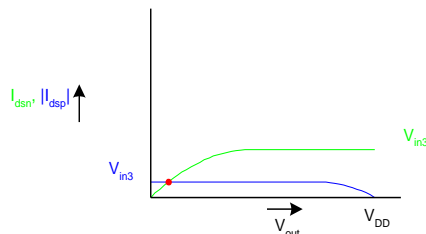


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Steady-state (DC) analysis

■ $V_{in} = 0.6V_{DD}$

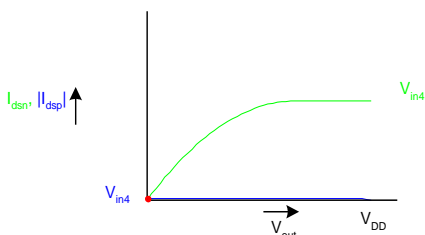


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Steady-state (DC) analysis

■ $V_{in} = 0.8V_{DD}$

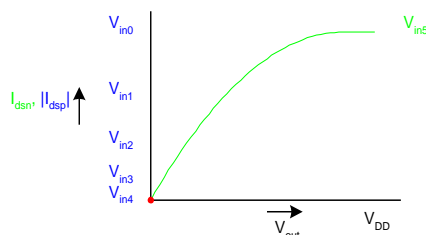


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Steady-state (DC) analysis

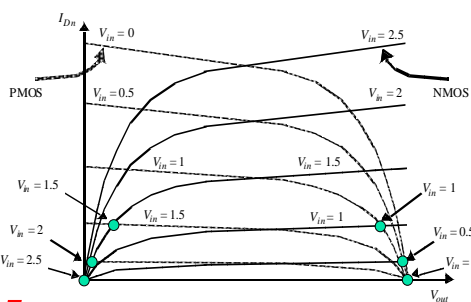
■ $V_{in} = V_{DD}$



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



CMOS Inverter – Load characteristics

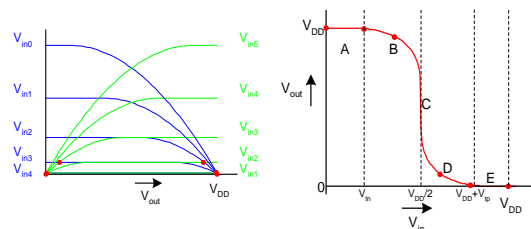


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Steady-state (DC) transfer characteristic

■ Přeneseme průsečíky do převodní V_{in} vs. V_{out} charakteristiky



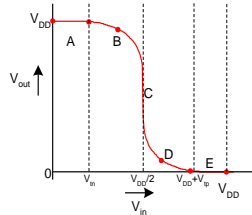
Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Operační oblasti

- Na převodní charakteristice nalezneme 5 operačních oblastí

Oblast	nMOS	pMOS
A	Vypnutý	Lineární
B	Saturace	Lineární
C	Saturace	Saturace
D	Lineární	Saturace
E	Lineární	Vypnutý

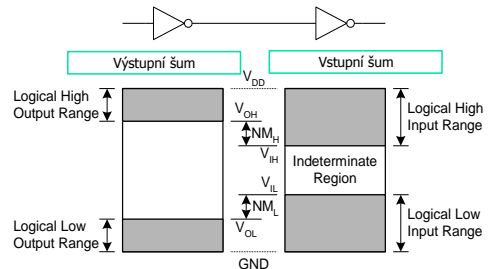


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Šumová imunita

- Vypovídá o velikosti vstupního a výstupního šumu



NM – šumová imunita

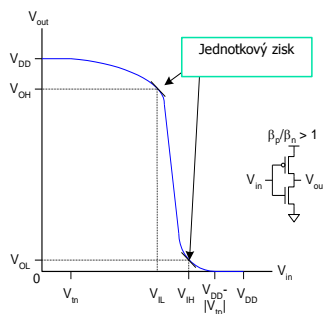


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Logické úrovně

- Definice logických úrovní

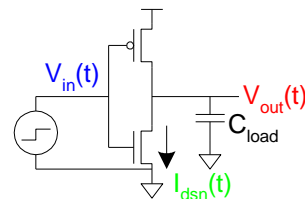


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Časová odezva invertoru

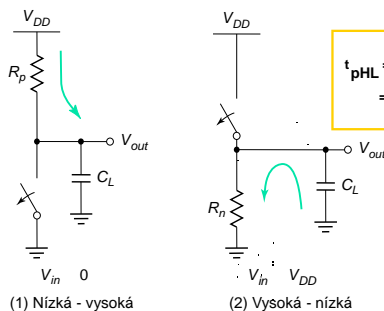
- Dynamické vlastnosti invertoru
- Odezva na změnu



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



CMOS Invertor: Časová odezva



(1) Nízká - vysoká

(2) Vysoká - nízká

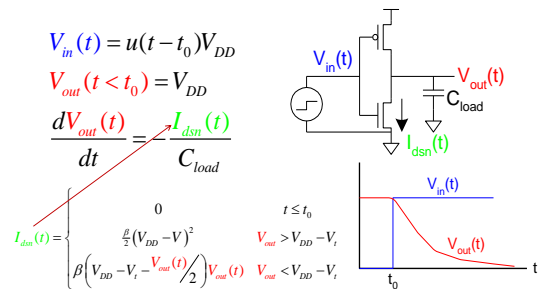


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



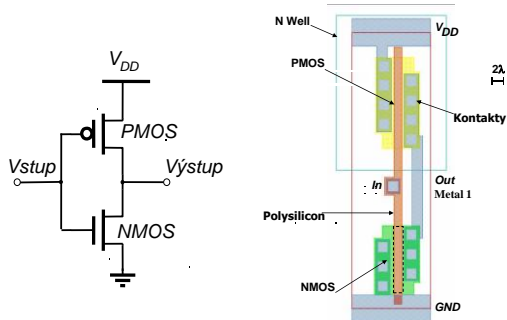
CMOS Invertor: Časová odezva

- Časová odezva při kapacitní zátěži C_{load}



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL

CMOS Invertor – topologie (layout)

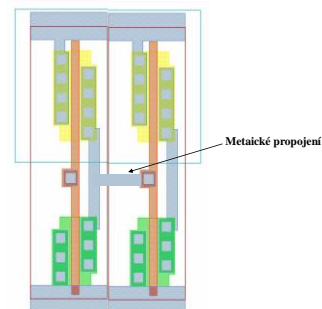
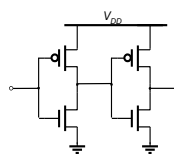


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL

Dva invertory v sérii

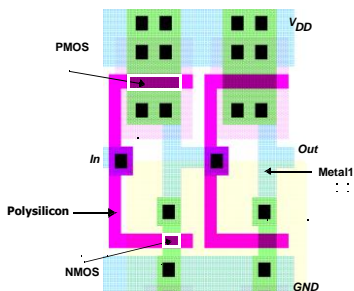
Standardní buňka invertoru

Sousední buňky sdílejí napájení



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL

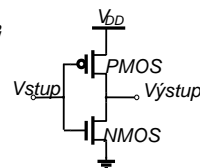
Topologie CMOS Invertoru



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL

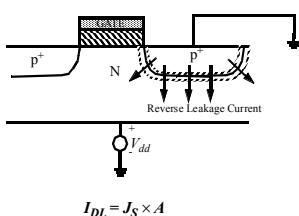
Výkonové ztráty CMOS hradel Kam se energie ztrácí?

- Dynamické ztráty
 - Nabíjení a vybíjení parazitních kapacit
- Zkratový proud
 - Proud tekoucí mezi napájením a zemí při spínání
- Svodové proudy (Leakage)
 - Závěrné proudy PN přechodů



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL

Svodové proudy závěrně polarizovaných PN přechodů



$J_S = 10\text{--}100 \text{ pA}/\mu\text{m}^2$ při 25 stupních (pro $0.25\mu\text{m}$ CMOS)
 J_S se zdvojnásobuje každých 9 stupňů!



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL

Logická hradla CMOS

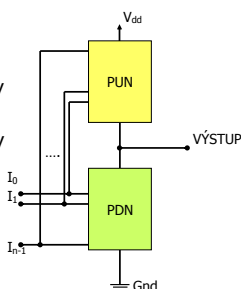


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



„Pull-Up“ a „Pull-Down“ sítě

- Konstrukce logických hradel CMOS obsahuje Pull-UP síť (**PUN**) a Pull-Down síť (**PDN**)
- PUN je konstruována tranzistory **PMOS**
- PDN je konstruována tranzistory **NMOS**
- PUN a PDN implementována komplementárně (viz. dále)
- **PMOS** ↔ **NMOS**
- **Sériová topologie** ↔ **Paralelní topologie**

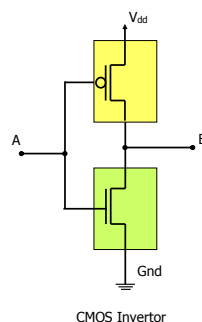


PUN/PDN síť CMOS Invertoru

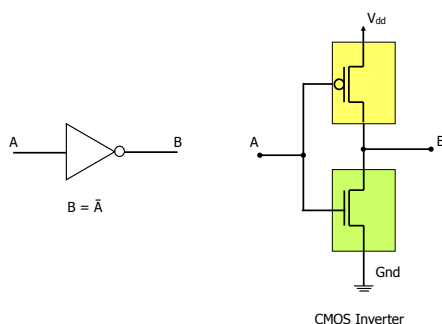
Pull-Up síť	A	B
	0	1
	1	Z

Pull-Down síť	A	B
	0	Z
	1	0

Kombinace CMOS síť	A	B
	0	1
	1	0



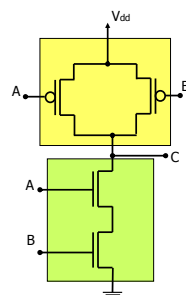
Schematická značka a zapojení CMOS invertoru



PUN/PDN síť hradla NAND

Pull-Up síť	A	B	C
	0	0	1
	0	1	1
	1	0	1
	1	1	Z

Pull-Down síť	A	B	C
	0	0	Z
	0	1	Z
	1	0	Z
	1	1	0

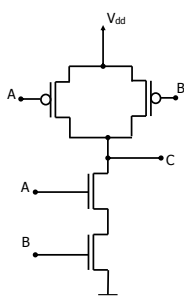


PUN/PDN síť hradla NAND

Pull-Up síť	A	B	C
	0	0	1
	0	1	1
	1	0	1
	1	1	Z

Pull-Down síť	A	B	C
	0	0	Z
	0	1	Z
	1	0	Z
	1	1	0

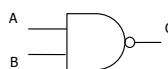
Kombinovaná CMOS síť	A	B	C
	0	0	1
	0	1	1
	1	0	1
	1	1	0



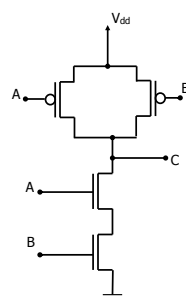
Schematická značka a zapojení CMOS NAND

Pravdivostní tabulka

A	B	C
0	0	1
0	1	1
1	0	1
1	1	0



$$C = \overline{A \cdot B}$$

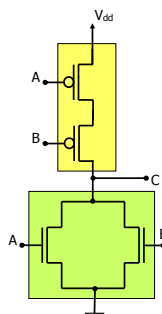




PUN/PDN síť hradla NOR

Pull-Up síť			
A	B	C	
0	0	1	
0	1	Z	
1	0	Z	
1	1	Z	

Pull-Down síť			
A	B	C	
0	0	Z	
0	1	0	
1	0	0	
1	1	0	

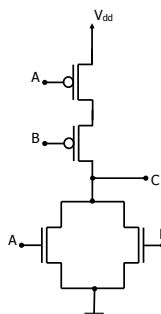


PUN/PDN síť hradla NOR

Pull-Up síť			
A	B	C	
0	0	1	
0	1	Z	
1	0	Z	
1	1	Z	

Pull-Down síť			
A	B	C	
0	0	Z	
0	1	0	
1	0	0	
1	1	0	

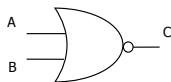
Kombinovaná CMOS síť			
A	B	C	
0	0	1	
0	1	0	
1	0	0	
1	1	0	



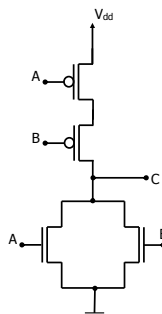
Schematická značka a zapojení CMOS NOR

Truth Table

A	B	C
0	0	1
0	1	0
1	0	0
1	1	0



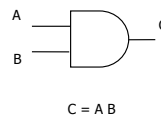
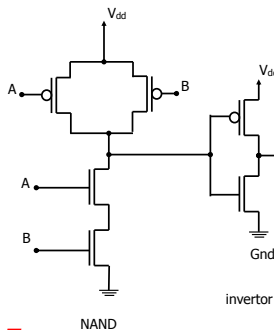
$$C = \overline{A + B}$$



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



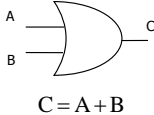
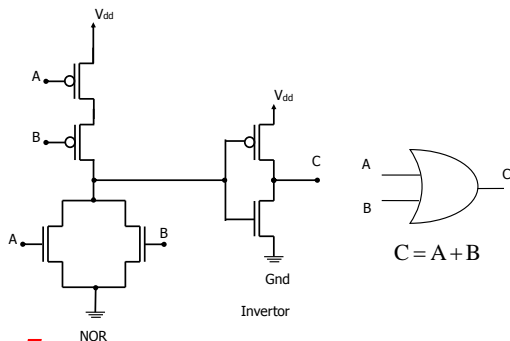
Jak zapojit hradlo AND



$$C = A \cdot B$$



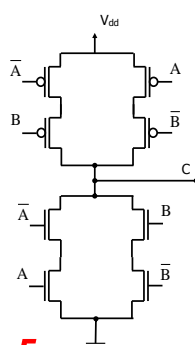
Jak zapojit hradlo OR



$$C = A + B$$



Jaká je funkce následující CMOS sítě?



Pull-Up síť			
A	B	C	
0	0	Z	
0	1	1	
1	0	1	
1	1	Z	

Pull-Down síť			
A	B	C	
0	0	0	
0	1	Z	
1	0	Z	
1	1	0	

Kombinovaná CMOS síť			
A	B	C	
0	0	0	
0	1	1	
1	0	1	
1	1	0	

Funkce = **XOR**



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



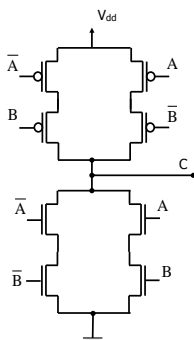
Hradlo Exclusive-OR (XOR)

Pravdivostní tabulka

A	B	C
0	0	0
0	1	1
1	0	1
1	1	0



$$C = \bar{A} \cdot B + A \cdot \bar{B} = A \oplus B$$

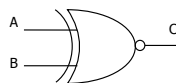


Hradlo XNOR

Pravdivostní tabulka

A	B	C
0	0	1
0	1	0
1	0	0
1	1	1

Jak zapojíme odpovídající CMOS síť



$$C = \bar{A} \cdot \bar{B} + A \cdot B = \overline{A \oplus B}$$



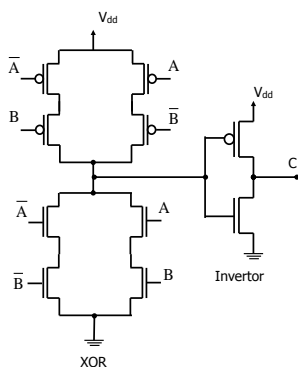
Hradlo XNOR

Pravdivostní tabulka

A	B	C
0	0	1
0	1	0
1	0	0
1	1	1



$$C = \bar{A} \cdot \bar{B} + A \cdot B$$



Systematická metoda (I) Začneme s Pull-Up sítí

- Každá proměnná v logické rovnici odpovídá PMOS tranzistoru v PUN a NMOS tranzistoru v PDN
- Nakreslíme PUN s PMOS tranzistorů dle zadané rovnice
 - AND sériové zapojení
 - OR paralelní zapojení
- Invertujeme každou proměnnou v rovnici
- Nakreslíme PDN síť pro NMOS v komplementární formě
 - Paralelní (PUN) převedeme do sériového (PDN)
 - Sériové (PUN) převedeme do paralelního (PDN)

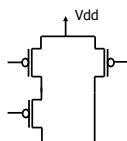


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Příklad 1

$$F = \overbrace{A \cdot C}^{\text{Paralelně}} + \underbrace{B}_{\text{Sériově}}$$

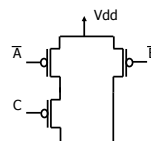


(1) Nakreslíme Pull-Up Síť



Příklad 1

$$F = \overbrace{A \cdot C}^{\text{Paralelně}} + \underbrace{B}_{\text{Sériově}}$$



(2) Přiřadíme vstupy



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL

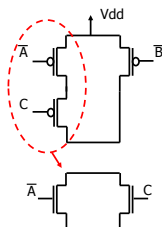


Příklad 1

$$F = A \cdot C + B$$

Paralelně
Sériově

(3) Nakreslíme Pull-Down síť v komplementární formě



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL

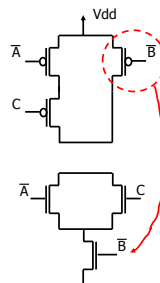


Příklad 1

$$F = A \cdot C + B$$

Paralelně
Sériově

(3) Nakreslíme Pull-Down síť v komplementární formě



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL

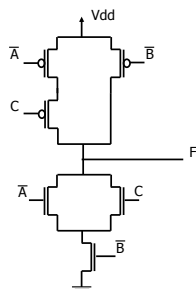


Příklad 1

$$F = A \cdot C + B$$

Paralelně
Sériově

Přidáme výstup F



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



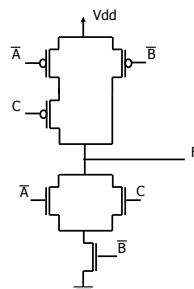
Příklad 1

$$F = A \cdot C + B$$

Paralelně
Sériově

Pravdivostní tabulka

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL

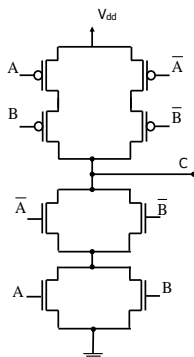


Alternativní hradlo XNOR dle této metody

Truth Table

A	B	C
0	0	1
0	1	0
1	0	0
1	1	1

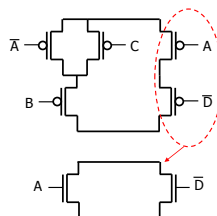
$$C = \bar{A} \cdot \bar{B} + A \cdot B$$



Příklad 3

Realizujte funkci:

$$F = \bar{A} \cdot D + \bar{B} \cdot (A + \bar{C})$$

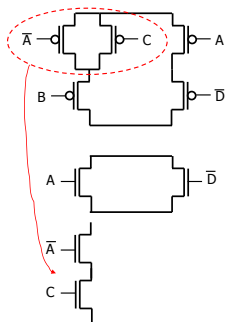


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Příklad 3

$$F = \bar{A} \cdot D + \bar{B} \cdot (A + \bar{C})$$

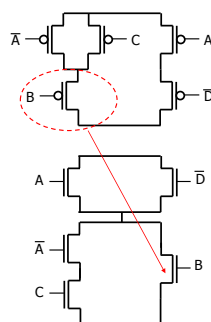


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Příklad 3

$$F = \bar{A} \cdot D + \bar{B} \cdot (A + \bar{C})$$

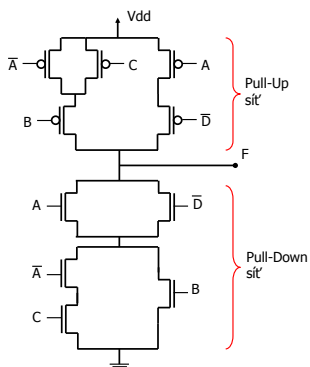


Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Příklad 3

$$F = \bar{A} \cdot D + \bar{B} \cdot (A + \bar{C})$$



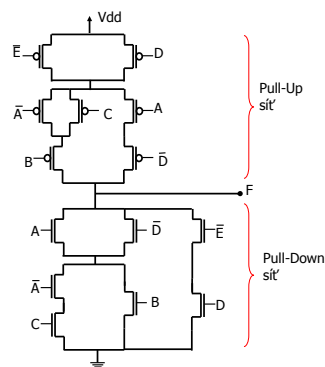
Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Příklad 4

Realizujte funkci:

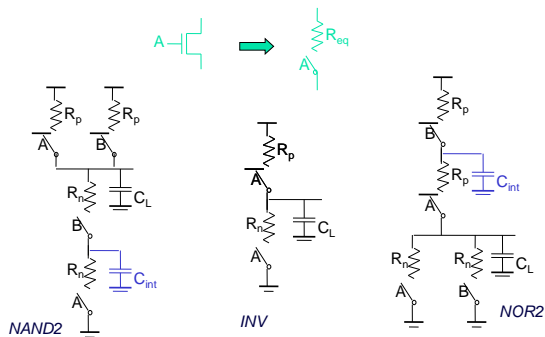
$$F = (E + \bar{D}) \cdot (\bar{A} \cdot D + \bar{B} \cdot (A + \bar{C}))$$



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



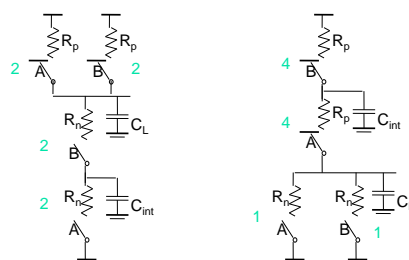
Modely pro Zpoždění hradel



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



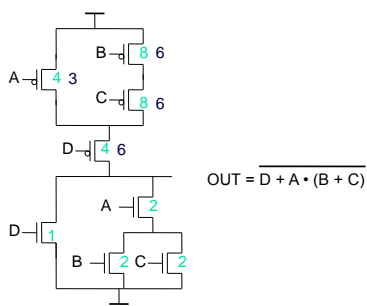
Velikosti tranzistorů



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



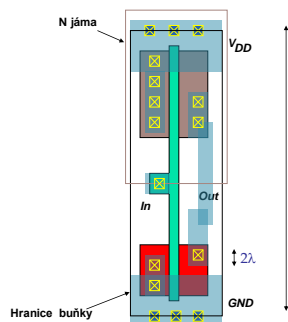
Velikosti tranzistorů -komplexní logika



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



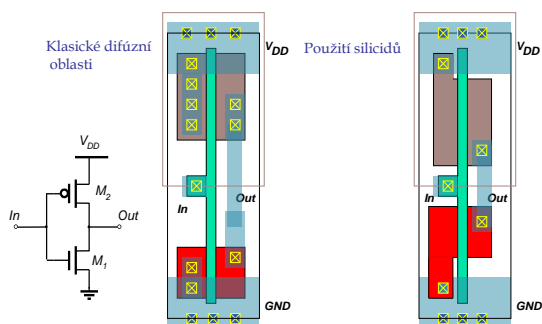
Topologie hradel – standardní buňky



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



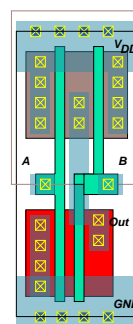
Standardní buňky



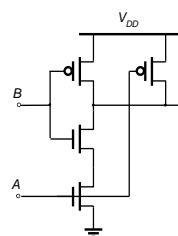
Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL



Standardní buňka NAND



2-vstupé hradlo NAND



Jiří Jakovenko – Elektronika a Mikroelektronika - Katedra mikroelektroniky – ČVUT FEL